

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-252434  
(43) Date of publication of application : 22.09.1997

---

(51)Int.Cl. H04N 5/335  
H01L 27/146

---

---

(21) Application number : 08-057720 (71) Applicant : TOSHIBA CORP  
(22) Date of filing : 14.03.1996 (72) Inventor : MIYAGAWA RYOHEI  
YAMASHITA HIROSHI

---

## (54) SOLID-STATE IMAGE PICKUP DEVICE

### (57) Abstract:

PROBLEM TO BE SOLVED: To reduce KTC noise generated in a photodiode part by resetting the photodiode by injecting and discharging electric charges to/from the photodiode.

SOLUTION: The wiring (RD line) 15 (15-1-15-3) of the drain of a reset transistor 4 is not connected to a power supply line Vdd connected to the drain of an amplification transistor 2 through a selection transistor 3 and is provided independent of the power supply line. Further, the RD line 15 is independent in respective rows. Also, the other end of a vertical signal line 8 is connected to a separation transistor 12 (12-1-12-3) and an amplification capacitance 13 (13-1-13-3) is connected between the separation transistor 12 and a horizontal selection transistor 19. Thus, by injection/discharge operations for turning the RD line 15 to 'L' and discharging the electric charges, the photodiodes 1 of the respective rows are reset independently for the respective rows.

---

## LEGAL STATUS

[Date of request for examination] 21.02.2000  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's  
decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] 3522953  
[Date of registration] 20.02.2004  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of  
rejection]  
[Date of extinction of right]

<hr size=2 width="100%" align=center>

## CLAIMS

---

### [Claim(s)]

[Claim 1] The solid state camera with which the resetting means of said photodiode is characterized by being based on impregnation and blowdown of the charge to said photodiode in the solid state camera equipped with a vertical selection

means to choose the read-out line of the image pick-up field which comes to arrange a unit cell including a means to reset a photodiode and this diode, in the shape of matrix two-dimensional, and this image pick-up field on a semi-conductor substrate.

[Claim 2] The image pick-up field which comes to arrange the unit cell containing the photodiode for photo electric translation, the magnification transistor which inputs the output of this photodiode at the gate, and the reset transistor which resets a photodiode in the shape of matrix two-dimensional on a semi-conductor substrate, The vertical signal line which has been arranged in the direction of a train which reads the detecting signal of a vertical selection means to choose the read-out line of this image pick-up field, and the photodiode equivalent to the selected line, and was connected to the source of a magnification transistor, In the solid state camera equipped with the level selection transistor which reads a detecting signal from these vertical signal lines to the level signal line arranged at the line writing direction one by one The solid state camera which carries out the description of wiring of the terminal connected with said photodiode of said reset transistor and the terminal of an opposite hand being prolonged in a line writing direction, and wiring of each line being independently electrically.

[Claim 3] The image pick-up field which comes to arrange the unit cell which has the magnification transistor which inputs the output of the photodiode for photo electric translation, and this photodiode on a semi-conductor substrate at the gate in the shape of matrix two-dimensional, Two or more vertical signal lines which have been arranged in the direction of a train which reads the detecting signal of a vertical selection means to choose the read-out line of this image pick-up field, and the cel equivalent to the selected line, and were connected to the source of said magnification transistor, In the solid state camera equipped with the level selection transistor which reads a detecting signal from these vertical signal lines to the level signal line arranged at the line writing direction one by one The drain of said magnification transistor is connected to a charge impregnation line, and charge impregnation line potential by being set as potential lower than the channel potential of the gate of a magnification transistor The solid state camera characterized by performing read-out of a signal by pouring in a charge from a charge impregnation line to a vertical signal line, and being set as potential higher than vertical signal-line potential after that.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the magnification mold solid state camera which prepared the magnification transistor in the unit cell with respect to a solid state camera.

[0002]

[Description of the Prior Art] In recent years, the solid state camera using the magnification mold MOS sensor as one of the solid state cameras is proposed. This equipment amplifies with a transistor the lightwave signal detected with the photodiode for every cel, and has the description of high sensitivity.

[0003] Drawing 10 is circuitry drawing showing the conventional solid state camera which used the magnification mold MOS sensor. The magnification transistor 2 (2-1-1, 2-1-2, -, 2-3-3) which amplifies the detecting signal of a photodiode 1 (1-1-1, 1-1-2, -, 1-3-3), The unit cell which consists of a vertical selection transistor 3 (3-1-1, 3-1-2, -, 3-3-3) which chooses the line which reads a signal, and a reset transistor 4 (4-1-1, 4-1-2, -, 4-3-3) which resets a signal charge is arranged in the shape of matrix two-dimensional. In addition, although 3x3 cels are arranged by a diagram, many unit cells are actually arranged from this.

[0004] It connected with the gate of the vertical selection transistor 3, and the level address line 6 (6-1, 6-2, 6-3) currently horizontally wired from the vertical shift register 5 has determined the line which reads a signal. Similarly, the reset line 7 (7-1, 7-2, 7-3) currently horizontally wired from the vertical shift register 5 is connected to the gate of the reset transistor 4. The source of the magnification transistor 2 is connected to the vertical signal line 8 (8-1, 8-2, 8-3) arranged in the direction of a train, and the load transistor 9 (9-1, 9-2, 9-3) is formed in the end.

[0005] The other end of the vertical signal line 8 is connected to the level signal line 11 through the level selection transistor 19 (19-1, 19-2, 19-3) driven by the selection pulse of the level shift register 10.

[0006] Drawing 11 is a timing chart which shows actuation of this device. When the address pulse 101 which makes high-level the level address line 6-1 is impressed, only the vertical selection transistor 3 of this line is turned on, and a source follower circuit consists of the magnification transistors 2 and the load transistors 9 of this line. And the gate voltage of the magnification transistor 2, i.e., an electrical potential difference almost equivalent to the electrical potential difference of a

photodiode 1, appears in the vertical signal line 8.

[0007] Subsequently, sequential impression of the level selection pulse 102 (102-1, -, 102-3) is carried out from the level shift register 10 at the level selection transistor 19, and the signal for one line is taken out from the level signal line 11 one by one. After read-out of the signal for one line finishes, the reset pulse 103 which makes the reset line 7-1 high-level is impressed, the reset transistor 4 of this line is turned on, and a signal charge is reset.

[0008] continuing this actuation one by one with the next line and its next line -- the shape of two-dimensional -- all the signal can be read. Here, the electrical potential difference for a change almost equivalent to a changed part of the potential of a photodiode 1 appears in the vertical signal line 8. A signal charge will be amplified by  $C_v/C_s$  times if capacity of  $C_s$  and the vertical signal line 8 is set to  $C_v$  for the capacity of a photodiode 1. Generally,  $C_v$  is dramatically large compared with  $C_s$ .

[0009] However, if it was in this kind of equipment, there were the following problems. That is, wiring of the drain of a reset transistor is common with all lines, and the description of a conventional type is connecting with the power-source line Vdd. With this configuration, the noise which generates reset of a photodiode with a photodiode since a reset transistor is strong reversal is  $KTC/2/3$  (K: a Boltzmann's constant, T: absolute temperature, capacity of C: photodiode). And this noise reduces the sensibility of a solid state camera.

[0010] Moreover, since it was necessary to install a load transistor in an image pick-up field edge, there was a problem that the part component area was large, and a component production process was complicated. Furthermore, the problem that the power consumed by resistance of a load transistor enlarges power consumption of a component in source follower actuation since the current is flowing to all vertical signal lines through the load transistor is \*\*\*\*\* . Furthermore, although the load transistor was prepared each one train of every, since the property of the source follower which consists of a load transistor and a magnification transistor of a pixel varied for every train when the property of a load transistor varies, the output became an ununiformity to the shape of a vertical knot on the playback screen, and there was a problem said that image quality deteriorates remarkably.

[0011] Moreover, there were also the following problems besides the above-mentioned problem. It is horizontal to the 1st, and since the storage times of a signal differ, it is that the difference of sensibility comes out. Although the time amount which this resets is coincidence for all the inside of one line, the time amount which reads a signal is because it differs. Compared with the time amount 105 of one period, a photodiode 1-1-1, -, the signal storage time 104-1 of 1-1-3, -, and 104-3 are not only short, but differ from each other, respectively by drawing 6 .

[0012] Since [ that 2nd the potential of a photodiode 1 is the same ] the difference in the threshold electrical potential difference of the magnification transistor 2 appears in the vertical signal line 8 but, it is that the two-dimensional noise (it is called a fixed pattern noise) corresponding to dispersion in a threshold electrical potential difference appears. The drain current of the magnification transistor 2 measures a threshold electrical potential difference in the condition (about 1microampere) of hardly flowing. However, the magnification transistor 2 is passing the 1000 times [ 20 to ] as many drain current as this from the load transistor 9 of a current supply source. Therefore, not only dispersion in a threshold electrical potential difference but dispersion of the transistor characteristics in the place where a drain current is large serves as a fixed pattern noise.

[0013]

[Problem(s) to be Solved by the Invention] Thus, in the magnification mold solid state camera, there is a KTC noise generated in the photodiode section with reset of a photodiode, and it had become the big factor in which this reduces the sensibility of a solid state camera conventionally.

[0014] Moreover, the load transistor needed to be installed in each vertical signal line, and there was a problem of causing buildup of power consumption with buildup of component area. The place which accomplished this invention in consideration of the above-mentioned situation, and is made into the object can reduce the KTC noise generated in the photodiode section, and is to offer the high magnification mold solid state camera of S/N.

[0015] Moreover, other objects of this invention can omit the load transistor connected to the source of a magnification transistor, and are to offer the magnification mold solid state camera which can aim at the cutback of component area, and reduction of power consumption.

[0016]

[Means for Solving the Problem]

(Configuration) The following configurations are used for this invention in order to solve the above-mentioned technical problem. That is, it is characterized by the resetting means of said photodiode depending this invention (claim 1) on impregnation and blowdown of the charge to said photodiode in the solid state camera equipped with a vertical selection means to choose the read-out line of the image pick-up field which comes to arrange a unit cell including a means to reset a photodiode and this diode, in the shape of matrix two-dimensional, and this image pick-up field on a semi-conductor substrate.

[0017] This invention (claim 2) moreover, on a semi-conductor substrate The image pick-up field which comes to arrange the unit cell containing the photodiode for photo electric translation, the magnification transistor which inputs the output of this photodiode into the gate, and the reset transistor which resets a photodiode in the shape of matrix two-dimensional, The vertical signal line which has been arranged in the direction of a train which reads the detecting signal of a vertical selection means to choose the read-out line of this image pick-up field, and the photodiode equivalent to the selected line, and was connected to the source of a magnification transistor, In the solid state camera equipped with the level selection transistor which reads a detecting signal from these vertical signal lines to the level signal line arranged at the line writing direction one by one The description of wiring (reset drain wiring) of the terminal connected with said photodiode of said reset transistor and the terminal of an opposite hand being prolonged in a line writing direction, and wiring of each line being independently electrically is carried out.

[0018] Here, as a desirable embodiment of this invention, it is (1) to which the following are raised. Be as common as wiring with which reset drain wiring leads to the drain of the magnification transistor of the same line.

(2) Be as common as wiring with which reset drain wiring leads to the drain of the magnification transistor of the line of on \*\*\*\*\* or the bottom.

(3) By changing the potential of drain wiring of a reset transistor, pour in and discharge a charge to a photodiode and reset a photodiode.

(4) A photodiode should read and be connected with the gate of a magnification transistor through a transistor.

(5) A photodiode embeds and it is a mold photodiode.

[0019] Moreover, the image pick-up field which comes to arrange the unit cell which has the magnification transistor as which this invention (claim 3) inputs the output of the photodiode for photo electric translation, and this photodiode on a semi-conductor substrate at the gate in the shape of matrix two-dimensional, Two or more vertical signal lines which have been arranged in the direction of a train which reads the detecting signal of a vertical selection means to choose the read-out line of this image pick-up field, and the cel equivalent to the selected line, and were connected to the source of said magnification transistor, In the solid state camera equipped with the level selection transistor which reads a detecting signal from these vertical signal lines to the level signal line arranged at the line writing direction one by one Read-out of the signal of the line which the drain of said magnification transistor was connected to the charge impregnation line independently installed for every line common to a line writing direction, and was chosen After charge impregnation line potential is set as potential lower than the channel potential of the gate of a magnification transistor, it is characterized by being carried out by being set as potential higher than vertical signal-line potential.

(Operation) Since a reset transistor is reset in the state of weak reversal by resetting a photodiode by impregnation / blowdown actuation of a charge according to this invention (claims 1 and 2), a noise decreases to  $1/2KTC$ .

[0020] More specifically wiring (reset drain wiring: RD line) of the drain of a reset transistor By forming independently of wiring which leads to the drain of a magnification transistor through a selection transistor, and arranging independently in each line Therefore, a photodiode is resettable in impregnation / blowdown actuation of setting RD line to "L", pouring in a charge, making RD line into "H", and discharging a charge. That is, in order that \*\*\*\* may reset a reset transistor in the state of weak reversal in the state of strong reversal, a noise can be decreased to  $1/2KTC$ .

[0021] Moreover, according to this invention (claim 3), in case the signal of a magnification transistor is read to a vertical signal line, a current is not passed through a load transistor but a charge is poured into a vertical signal line from the charge impregnation line independently installed for every line. Therefore, it becomes unnecessary to pass a current to a load transistor, and power consumption of a component can be made small. Furthermore, since it is not necessary to prepare a load transistor, component area can be made small and a component production process can be simplified. Moreover, property dispersion of a load transistor can prevent the output ununiformity of the shape of \*\*\*\* on the playback screen generated owing to.

[0022]

[Embodiment of the Invention] Hereafter, the operation gestalt of this invention is explained with reference to a drawing. (1st operation gestalt) Drawing 1 is circuitry drawing showing the solid state camera concerning the 1st operation gestalt of this invention.

[0023] The configuration of a unit cell is the same as usual shown in said drawing 10 with equipment and a basic target. That is, a unit cell consists of a magnification transistor 2 which amplifies the detecting signal of a photodiode 1, a vertical selection transistor 3 which chooses the line which reads a signal, and a reset transistor 4 which resets a signal charge, and is arranged in the shape of matrix two-dimensional. In addition, although 3x3 cels are arranged by a diagram, many unit cells are actually arranged from this.

[0024] It connected with the gate of the vertical selection transistor 3, and the level address line 6 currently horizontally wired from the vertical shift register 5 has determined the line which reads a signal. Similarly, the reset line 7 currently horizontally

wired from the vertical shift register 5 is connected to the gate of the reset transistor 4. The source of the magnification transistor 2 is connected to the vertical signal line 8 arranged in the direction of a train, and the load transistor 9 is formed in the end.

[0025] Although the basic configuration so far is the same as that of equipment conventionally, this invention differs in equipment and a configuration conventionally the following point. That is, it does not connect in the power-source line Vdd connected with the drain of the magnification transistor 2 through the selection transistor 3, but the wiring (RD line) 15 (15-1, 15-2, 15-3) of the drain of the reset transistor 4 is formed independently of the power-source line. Furthermore, the RD line 15 is independent in each line.

[0026] Moreover, the other end of the vertical signal line 8 is connected to the separation transistor 12 (12-1, 12-2, 12-3), and the magnification capacity 13 (13-1, 13-2, 13-3) is connected between the separation transistor 12 and the level selection transistor 19. In addition, the separation transistor 12 and the magnification capacity 13 are omitted, and as shown in said drawing 10, it may be made to carry out direct continuation of the vertical signal line 8 to the level selection transistor 19.

[0027] With this operation gestalt, the wiring (RD line) 15 of the drain of the reset transistor 4 was formed independently [ the power-source line Vdd ], and the RD line 15 is further arranged independently by each line. For this reason, after setting the RD line 15 to "L" and pouring in a charge, the photodiode 1 of each line is resettable to each line independence with impregnation / blowdown actuation of making it "H" and discharging a charge. In this case, in order that the reset transistor 4 may reset in the state of weak reversal, the noise generated with a photodiode 1 will be reduced by  $1/2KTC$ .

[0028] Drawing 2 is a timing chart which shows the actuation in this operation gestalt. After performing signal read-out, potential of the RD line 15 is set to "L", a reset gate is made into "H", and a charge is poured into a level blanking period. Then, potential of the RD line 15 is made into "H", a reset gate is again made into "H", and a charge is discharged.

[0029] The noise which a drain drives the reset transistor 4 by 5V in the state of weak reversal called 3V in the gate, and can perform impregnation actuation by this, therefore is generated with a photodiode 1 can be reduced to  $1/2KTC$ .

[0030] Moreover, it not only brings the signal storage time close to the time amount of one period, but with this operation gestalt, by forming the separation transistor 12 and the magnification capacity 13 between the vertical signal line 8 and the level selection transistor 19, it can abolish the difference of the storage time in the inside of one line, and it becomes possible for this to lose the difference in the horizontal sensibility by the difference of the signal storage time.

[0031] With the operation gestalt of drawing 1, the RD line 15 was formed in each line independence. However, even if RD line is common to all lines, the same effectiveness as the operation gestalt of drawing 1 is acquired using the timing of drawing 2 of operation. However, when resetting the photodiode 1 of one line in this case, RD line of all lines will be driven. therefore, whenever it resets the photodiode 1 of each line, the capacity of RD line of all lines will be driven, and power consumption is markedly alike and becomes large. Therefore, if RD line of the operation gestalt of drawing 1 is made independent in each line, it is advantageous about power consumption. Or adjacent RD line of two lines is made common, and even if independent [ in RD line ] every two lines, it is very advantageous [ line / all ] about power consumption.

(2nd operation gestalt) Drawing 3 is circuitry drawing showing the solid state camera concerning the 2nd operation gestalt of this invention. In addition, the same sign is given to the same part as drawing 1, and the detailed explanation is omitted.

[0032] The place where this operation gestalt differs from the 1st operation gestalt explained previously, wiring which leads to the drain of the magnification transistor 2 is each line independence. And intermediary \*\*\*\* with the as common RD wiring 15 of the next line as wiring of the drain of this magnification transistor 2.

[0033] Since the RD line 15 of each line is independent even if it is such a configuration, reset by impregnation and blowdown of a charge is possible like the 1st operation gestalt.

(3rd operation gestalt) Drawing 4 is circuitry drawing showing the solid state camera concerning the 3rd operation gestalt of this invention. In addition, the same sign is given to the same part as drawing 1, and the detailed explanation is omitted.

[0034] It is characterized by unlike the 1st and 2nd operation gestalten, for a photodiode 1 reading this operation gestalt and leading to the magnification transistor 2 through a transistor 16 (16-1, 16-2, 16-3). In addition, 17 in drawing (17-1, 17-2, 17-3) is the read-out line connected to the gate of the read-out transistor 16 of the same line.

[0035] If it is made such structure, a rope can make small detection capacity which is intermediary \*\*\*\* capacity at the gate of the magnification transistor 2. Since the amplification factor of the signal of the cel section is decided by the capacity of wiring, and the ratio of a detecting element, in order to take a large amplification factor, the small thing of the capacity of a detecting element is desirable. In order to take the large rate for Mitsutoshi, the one where photodiode area is larger is good, but when a photodiode 1 is directly connected with the gate of the magnification transistor 2, detection capacity will also become large if a large photodiode area is taken. The structure of drawing 3 has the merit which can make detection capacity of a detecting element small, enlarging photodiode area and enlarging the rate for Mitsutoshi, since the photodiode 1 is independent of a detecting element.

[0036] The RD line 15 is independent in each line also by this operation gestalt, and the noise in a photodiode 1 can be made small by resetting a photodiode 1 by impregnation blowdown of a charge.

[0037] drawing 5 -- the operation gestalt of the configuration of drawing 4 -- setting -- a photodiode -- embedding -- the structure of a photodiode -- it is the block diagram of a unit cell including the detecting element of an intermediary \*\*\*\* case, and the sectional view of a photodiode. The potential distribution at the time of charge read-out is also doubled and shown. In addition, Si surface layer is p layers and a pad photodiode prevents the dark current generated on Si front face.

[0038] In the case of an embedding photodiode, a sufficiently big electrical potential difference is applied to the gate of a read-out transistor, it can carry out the full transfer of the signal charge, and can form a photodiode into perfect depletion. In this case, for a full transfer reason, a KTC noise is not generated. However, in low gate voltage, as shown in drawing 5, a potential pocket is made and a full transfer becomes difficult. Therefore, if a read-out transistor is operated in the state of strong reversal and a photodiode 1 is reset, 2 / 3KTC noise will occur. Although low-power-ization can be performed if supply voltage of a solid state image pickup device is made low therefore, it is necessary to transmit a signal charge from a photodiode with low gate voltage.

[0039] In an imperfection transfer, a noise can be reduced by performing reset by impregnation and blowdown of a charge like this operation gestalt. moreover, an imperfection transfer -- simple -- charge reading \*\*\*\* -- by the approach of resetting a photodiode by things, the transfer remainder happens and an after-image occurs. On the other hand, this after-image can also be abolished by pouring in and discharging a charge and resetting it like this operation gestalt.

[0040] Drawing 12 is circuitry drawing which has arranged the noise canceller in the level signal read-out section in the operation gestalt of drawing 4. In addition to the component shown in drawing 4, the separation capacitor 21 and the clamp transistor 22 are added. The KTC noise generated with a photodiode 1 with the operation gestalt of drawing 12 as well as drawing 4 can be reduced, and an after-image can be controlled.

[0041] Drawing 6 is a timing chart which shows the actuation in this operation gestalt. In drawing 6 (a), potential of the address line 6 is made into "H", the RD line 15 is set to "L", a reset gate is made into "H", and a charge is poured into a level blanking period. Subsequently, the RD line 15 is made into "H", a reset gate is again made into "H", and a charge is discharged. Then, the read-out gate is turned on and a signal is read.

[0042] Reset of the signal detecting element 20 connected with the gate of the magnification transistor 2 is performed by impregnation and blowdown of a charge by this actuation. Therefore, in this actuation, the KTC noise generated in the signal detecting element 20 is reduced by 1/2KTC. In this case, as for the signal charge accumulated in the photodiode 1, it is desirable to carry out a full transfer by turning on the read-out transistor 16.

[0043] In drawing 6 (b), potential of the address line 6 is made into "H", the RD line 15 is set to "L", a reset gate is made into "H", and a charge is poured into a level blanking period. Subsequently, the RD line 15 is made into "H", a reset gate is again made into "H", and the charge of the gate section of the magnification transistor 2 is discharged. Then, a read-out transistor is turned on and a signal is read.

[0044] Subsequently, the RD line 15 is set to "L", a reset gate is made into "H", the read-out gate is made into "H", and the charge of the photodiode section is poured in. Subsequently, the RD line 15 is made into "H", a reset gate is made into "H", the read-out gate is again made into "H", and a charge is discharged.

[0045] In this actuation, both the detecting element 20 and the photodiode 1 are reset by impregnation / blowdown actuation of a charge, and a KTC noise is reduced by 1/2KTC. Moreover, the after-image produced in an imperfection transfer of the signal charge from a photodiode can be controlled simultaneously.

[0046] In drawing 6 (c), potential of the address line 6 is made into "H", the RD line 15 is made into "H", a reset gate is made into "H", and a charge is discharged at a level blanking period. Then, the read-out gate is turned on and a signal is read. Subsequently, the RD line 15 is set to "L", the read-out gate is again turned on for a reset gate in "H", and a charge is poured in. Subsequently, the RD line 15 is made into "H", the read-out gate is again turned on for a reset gate in "H", and a charge is discharged.

[0047] Also in this actuation, while impregnation and blowdown of a charge are performed to a photodiode 1, it is reset and a KTC noise is reduced by 1/2KTC, an after-image is also controlled.

[0048] Signal read-out is good and you may make it read it twice here using a noise canceller as a line once. Drawing 12 is also referred to and the case where it reads twice using a noise canceller is described in more detail. In the 1st signal read-out, the signal detecting element 20 is reset and the vertical signal line 8 has potential corresponding to the potential by which the signal detecting element 20 was reset. The clamp transistor 22 is turned on in this condition, and the potential of the signal are recording section 23 is the source potential of a clamp transistor. Reading appearance of the signal charge of a photodiode 1 is carried out to the signal detecting element 20 next, and the potential of the signal detecting element 20 changes that much. Potential change of the signal detecting element 20 at this time produces potential change in the signal are recording section 23 through the vertical signal line 8. Then, the separation transistor 12 is turned off. Therefore,

potential change of the signal detecting element 20 by this signal read-out is accumulated in the signal are recording section 23.

[0049] Thus, since the KTC noise in the signal detecting element 20 can be thoroughly oppressed when detecting the potential change the time of the reset which does not have the signal charge of the signal detecting element 20 using a noise canceller, and after subsequent signal-charge read-out, the resetting means of a signal-charge detecting element may operate the reset transistor 4 in the state of the strong reversal to which a KTC noise serves as  $2/3KTC$ . Of course, the same effectiveness as the operation gestalt of drawing 4 is acquired by the photodiode by pouring in and discharging a charge.

(4th operation gestalt) Drawing 7 is circuitry drawing showing the solid state camera concerning the 4th operation gestalt of this invention. In drawing, the same sign is given to the same part as drawing 10, and the detailed explanation is omitted.

[0050] The point that this operation gestalt differs from equipment conventionally which was shown in drawing 10 is that the drain of the magnification transistor 2 is connected to the charge impregnation line 201,202,203 installed for every line [ each line ] while omitting a load transistor.

[0051] The electrogram of the magnification transistor, vertical selection transistor, and charge impregnation line for explaining actuation of the component of drawing 7 to drawing 8 was shown. First, after changing into ON condition the vertical selection transistor of the line which reads a signal, the charge impregnation line equivalent to (a) and the selected line is made into "L" level, and a charge is poured into a vertical signal line through the gate of a magnification transistor (b). Then, charge impregnation line potential is again returned to "H" level (c). Since vertical signal-line potential becomes almost equal to the channel potential of a magnification transistor, the signal charge which has ridden on the gate potential of a magnification transistor is called to a vertical signal line.

[0052] The timing of a component of operation was shown in drawing 9. Although it is the same as the actuation fundamentally shown in said drawing 11, with this operation gestalt, it is the description to impress a pulse to the charge impregnation line 201,202,203 following the address pulse 101,102,103.

[0053] Thus, according to this operation gestalt, in case the signal of the magnification transistor 2 is read to the vertical signal line 8, it is not necessary to use a load transistor. Moreover, the power consumed by eye others with a load transistor can be lost, and low-power-ization can be achieved. In addition, this invention is not limited to each operation gestalt mentioned above, it is the range which does not deviate from the summary, and can deform variously and can be carried out.

[0054]

[Effect of the Invention] As explained in full detail above, the noise generated in the photodiode section by resetting a photodiode by impregnation / blowdown actuation of a charge according to this invention (claims 1 and 2) can be reduced, and it becomes possible to realize the high solid state camera of S/N.

[0055] Moreover, according to this invention (claim 3), in case the signal of a magnification transistor is read to a vertical signal line, it is not necessary to use a load transistor. Therefore, component area can be made small. Moreover, a component production process can be shortened. Moreover, since there is no load transistor, power consumed with a load transistor can be made small.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] Circuitry drawing showing the solid state camera concerning the 1st operation gestalt.

[Drawing 2] The timing chart which shows the actuation in the 1st operation gestalt.

[Drawing 3] Circuitry drawing showing the solid state camera concerning the 2nd operation gestalt.

[Drawing 4] Circuitry drawing showing the solid state camera concerning the 3rd operation gestalt.

[Drawing 5] Drawing showing the configuration of the unit cell in the 3rd operation gestalt.

[Drawing 6] The timing chart which shows the actuation in the 3rd operation gestalt.

[Drawing 7] Circuitry drawing showing the solid state camera concerning the 4th operation gestalt.

[Drawing 8] Electrogram of the unit cell for explaining actuation of the 4th operation gestalt.

[Drawing 9] The timing chart which shows actuation of the 4th operation gestalt.

[Drawing 10] An example of the circuit diagram of the conventional MOS mold solid state image pickup device.

[Drawing 11] The timing chart of the sensor of drawing 4 of operation.

[Drawing 12] Circuitry drawing which has arranged the noise canceller in the level signal read-out section in the operation gestalt of drawing 4.



[Description of Notations]

- 1 -- Photodiode
  - 2 -- Magnification transistor
  - 3 -- Vertical selection transistor
  - 4 -- Reset transistor
  - 5 -- Vertical shift register
  - 6 -- Level address line
  - 7 -- Reset line
  - 8 -- Vertical signal line
  - 9 -- Load transistor
  - 10 -- Level shift register
  - 11 -- Level signal line
  - 12 -- Separation transistor
  - 13 -- Magnification capacity
  - 15 -- Reset drain wiring (RD line)
  - 16 -- Read-out transistor
  - 19 -- Level selection transistor
  - 20 -- Signal detecting element
  - 21 -- Separation capacitor
  - 22 -- Clamp transistor
  - 23 -- Signal are recording section
-



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-252434

(43)公開日 平成9年(1997)9月22日

(51)Int.Cl.<sup>6</sup>

H 0 4 N 5/335

H 0 1 L 27/146

識別記号

庁内整理番号

F I

H 0 4 N 5/335

H 0 1 L 27/14

技術表示箇所

E

A

審査請求 未請求 請求項の数3 O L (全 11 頁)

(21)出願番号 特願平8-57720

(22)出願日 平成8年(1996)3月14日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 宮川 良平

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72)発明者 山下 浩史

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

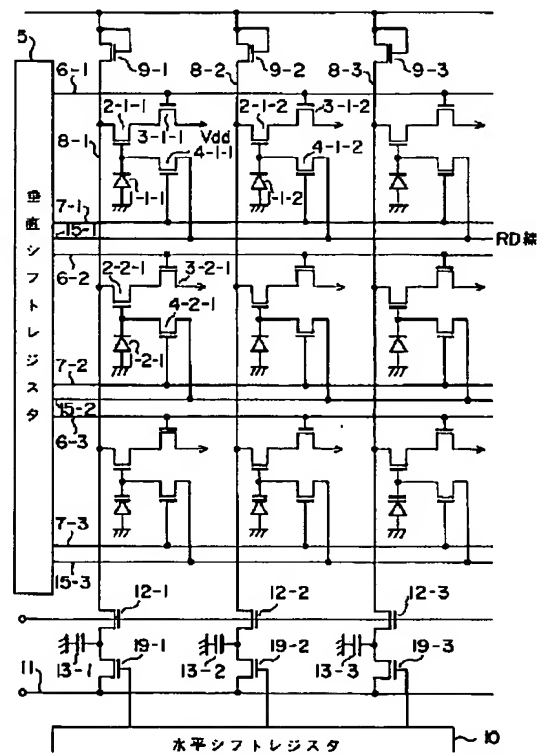
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 固体撮像装置

(57)【要約】

【課題】 フォトダイオード部で発生するノイズを低減させることができ、S/Nの向上をはかる。

【解決手段】 半導体基板上に、光電変換のためのフォトダイオード1、このフォトダイオード1の出力をゲートに入力する増幅トランジスタ2、及びフォトダイオード1をリセットするリセットトランジスタ4を含む単位セルを行列2次元状に配列してなる撮像領域と、この撮像領域の読み出し行を選択する垂直シフトレジスタ5と、選択された行に相当するフォトダイオード1の検出信号を読み出す列方向に配置された水平信号線11に検出信号を順次読み出す水平選択トランジスタ19とを備えた固体撮像装置において、リセットトランジスタ4のフォトダイオード1につながる端子と反対側の端子の配線(RD線)15が、行方向に延び且つ各行の配線が電気的に独立している。



#### 【特許請求の範囲】

【請求項1】半導体基板上に、フォトダイオードとこのダイオードをリセットする手段を含む単位セルを行列2次元状に配列してなる撮像領域と、この撮像領域の読み出し行を選択する垂直選択手段とを備えた固体撮像装置において、

前記フォトダイオードのリセット手段が、前記フォトダイオードへの電荷の注入と排出によることを特徴とする固体撮像装置。

【請求項2】半導体基板上に、光電変換のためのフォトダイオード、このフォトダイオードの出力をゲートに入力する増幅トランジスタ、及びフォトダイオードをリセットするリセットトランジスタを含む単位セルを行列2次元状に配列してなる撮像領域と、この撮像領域の読み出し行を選択する垂直選択手段と、選択された行に相当するフォトダイオードの検出信号を読み出す列方向に配置されて増幅トランジスタのソースに接続された垂直信号線と、これらの垂直信号線から行方向に配置された水平信号線に検出信号を順次読み出す水平選択トランジスタとを備えた固体撮像装置において、

前記リセットトランジスタの前記フォトダイオードにつながる端子と反対側の端子の配線が行方向に延び、且つ各行の配線が電気的に独立していることを特徴する固体撮像装置。

【請求項3】半導体基板上に、光電変換のためのフォトダイオードとこのフォトダイオードの出力をゲートに入力する増幅トランジスタを有する単位セルを行列2次元状に配列してなる撮像領域と、この撮像領域の読み出し行を選択する垂直選択手段と、選択された行に相当するセルの検出信号を読み出す列方向に配置されて前記増幅トランジスタのソースに接続された複数の垂直信号線と、これらの垂直信号線から行方向に配置された水平信号線に検出信号を順次読み出す水平選択トランジスタとを備えた固体撮像装置において、

前記増幅トランジスタのドレインが電荷注入線に接続され、電荷注入線電位が増幅トランジスタのゲートのチャネル電位より低い電位に設定されることで、電荷注入線から垂直信号線へ電荷が注入され、その後に垂直信号線電位より高い電位に設定されることにより信号の読み出しが行われることを特徴とする固体撮像装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、固体撮像装置に係わり、特に単位セル内に増幅トランジスタを設けた増幅型固体撮像装置に関する。

##### 【0002】

【従来の技術】近年、固体撮像装置の一つとして、増幅型MOSセンサを用いた固体撮像装置が提案されている。この装置は、各セル毎にフォトダイオードで検出した光信号を増幅トランジスタで増幅するものであり、高感

度という特徴を持っている。

【0003】図10は、増幅型MOSセンサを用いた従来の固体撮像装置を示す回路構成図である。フォトダイオード1（1-1-1, 1-1-2, ～, 1-3-3）の検出信号を増幅する増幅トランジスタ2（2-1-1, 2-1-2, ～, 2-3-3）、信号を読み出すラインを選択する垂直選択トランジスタ3（3-1-1, 3-1-2, ～, 3-3-3）、信号電荷をリセットするリセットトランジスタ4（4-1-1, 4-1-2, ～, 4-3-3）からなる単位セルが行列2次元状に配列されている。なお、図では3×3個のセルが配列されているが、実際にはこれより多くの単位セルが配列されている。

【0004】垂直シフトレジスタ5から水平方向に配線されている水平アドレス線6（6-1, 6-2, 6-3）は垂直選択トランジスタ3のゲートに接続され、信号を読み出すラインを決めている。同様に、垂直シフトレジスタ5から水平方向に配線されているリセット線7（7-1, 7-2, 7-3）は、リセットトランジスタ4のゲートに接続されている。増幅トランジスタ2のソースは列方向に配置された垂直信号線8（8-1, 8-2, 8-3）に接続され、その一端には負荷トランジスタ9（9-1, 9-2, 9-3）が設けられている。

【0005】垂直信号線8の他端は、水平シフトレジスタ10の選択パルスにより駆動される水平選択トランジスタ19（19-1, 19-2, 19-3）を介して水平信号線11に接続されている。

【0006】図11は、このデバイスの動作を示すタイミングチャートである。水平アドレス線6-1をハイレベルにするアドレスパルス101を印加すると、このラインの垂直選択トランジスタ3のみONし、このラインの増幅トランジスタ2と負荷トランジスタ9でソースホロア回路が構成される。そして、増幅トランジスタ2のゲート電圧、即ちフォトダイオード1の電圧とほぼ同等の電圧が垂直信号線8に現れる。

【0007】次いで、水平シフトレジスタ10から水平選択パルス102（102-1, ～, 102-3）を水平選択トランジスタ19に順次印加し、水平信号線11から1ライン分の信号を順次取り出す。1ライン分の信号の読み出しが終わるとリセット線7-1をハイレベルにするリセットパルス103を印加し、このラインのリセットトランジスタ4をONして信号電荷をリセットする。

【0008】この動作を、次のライン、その次のラインと順次続けることにより、2次元状全ての信号を読み出すことができる。ここで、フォトダイオード1の電位の変化分とほぼ同等の変化分の電圧が垂直信号線8に現れる。フォトダイオード1の容量をCs、垂直信号線8の容量をCvとすると、信号電荷はCv/Cs倍に増幅される。一般に、CvはCsに比べ非常に大きい。

【0009】しかしながら、この種の装置にあっては次のような問題があった。即ち、従来型の特徴はリセットトランジスタのドレインの配線が全てのラインで共通で、電源線V<sub>dd</sub>に接続されていることである。この構成では、フォトダイオードのリセットはリセットトランジスタが強反転であるため、フォトダイオードで発生するノイズは $2/3 KTC$ である（K：ボルツマン定数、T：絶対温度、C：フォトダイオードの容量）。そしてこの雑音は、固体撮像装置の感度を低下させる。

【0010】また、撮像領域端に負荷トランジスタを設置する必要があるため、その分素子面積が大きいかつ素子製造工程が複雑化するという問題があった。さらに、ソースフォロワ動作では、負荷トランジスタを介して全ての垂直信号線に電流が流れているため、負荷トランジスタの抵抗で消費される電力が素子の消費電力を大きくしているという問題があった。さらに、負荷トランジスタは各列1つずつ設けられるが、負荷トランジスタの特性がばらつくと、負荷トランジスタと画素の増幅トランジスタで構成されるソースホロアの特性が列毎にばらつくため、再生画面上で縦の節状に出力が不均一になり、画質が著しく劣化するという問題があった。

【0011】また、上記の問題の他に次のような問題もあった。第1に、水平方向で信号の蓄積時間が異なるため感度の差がでることである。これは、リセットする時間は1ラインの中は全て同時であるが信号を読み出す時間は異なっているためである。図6でフォトダイオード1-1-1、～、1-1-3の信号蓄積時間104-1、～、104-3は、1周期の時間105に比べ短いだけでなくそれぞれ異なっている。

【0012】第2に、フォトダイオード1の電位が同じでも増幅トランジスタ2のしきい値電圧の違いが垂直信号線8に現れるため、しきい値電圧のばらつきに対応する2次元状の雑音（固定パターン雑音と呼ぶ）が現れることである。しきい値電圧は増幅トランジスタ2のドレイン電流が殆ど流れない状態（1マイクロアンペア程度）で測定する。しかし、増幅トランジスタ2は電流供給源の負荷トランジスタ9からその20倍から1000倍のドレイン電流を流している。そのため、しきい値電圧のばらつきだけでなくドレイン電流が大きいところでのトランジスタ特性のばらつきも固定パターン雑音となる。

【0013】

【発明が解決しようとする課題】このように従来、増幅型固体撮像装置においては、フォトダイオードのリセットに伴いフォトダイオード部で発生するKTCノイズがあり、これが固体撮像装置の感度を低下させる大きな要因となっていた。

【0014】また、負荷トランジスタを各垂直信号線に設置する必要がある、素子面積の増大と共に消費電力の増大を招くという問題があった。本発明は、上記問題を

考慮して成されたもので、その目的とするところは、フォトダイオード部で発生するKTCノイズを低減させることができ、S/Nの高い増幅型固体撮像装置を提供することにある。

【0015】また、本発明の他の目的は、増幅トランジスタのソースに接続された負荷トランジスタを省略することができ、素子面積の縮小及び消費電力の低減をはかり得る増幅型固体撮像装置を提供することにある。

【0016】

【課題を解決するための手段】

（構成）上記課題を解決するために本発明は、次のような構成を採用している。即ち、本発明（請求項1）は、半導体基板上に、フォトダイオードとこのダイオードをリセットする手段を含む単位セルを行列2次元状に配列してなる撮像領域と、この撮像領域の読み出し行を選択する垂直選択手段とを備えた固体撮像装置において、前記フォトダイオードのリセット手段が、前記フォトダイオードへの電荷の注入と排出によることを特徴とする。

【0017】また、本発明（請求項2）は、半導体基板上に、光電変換のためのフォトダイオード、このフォトダイオードの出力をゲートに入力する増幅トランジスタ、及びフォトダイオードをリセットするリセットトランジスタを含む単位セルを行列2次元状に配列してなる撮像領域と、この撮像領域の読み出し行を選択する垂直選択手段と、選択された行に相当するフォトダイオードの検出信号を読み出す列方向に配置されて増幅トランジスタのソースに接続された垂直信号線と、これらの垂直信号線から行方向に配置された水平信号線に検出信号を順次読み出す水平選択トランジスタとを備えた固体撮像装置において、前記リセットトランジスタの前記フォトダイオードにつながる端子と反対側の端子の配線（リセットドレイン配線）が行方向に延び、且つ各行の配線が電気的に独立していることを特徴する。

【0018】ここで、本発明の望ましい実施態様としては、次のものがあげられる

- (1) リセットドレイン配線が、同じ行の増幅トランジスタのドレインにつながる配線と共通であること。
- (2) リセットドレイン配線が、隣合う上或いは下の行の増幅トランジスタのドレインにつながる配線と共通であること。
- (3) リセットトランジスタのドレイン配線の電位を変化させることにより、フォトダイオードに電荷を注入及び排出して、フォトダイオードのリセットを行うこと。
- (4) フォトダイオードが読み出しトランジスタを介して増幅トランジスタのゲートにつながる事。
- (5) フォトダイオードが埋め込み型フォトダイオードであること。

【0019】また、本発明（請求項3）は、半導体基板上に、光電変換のためのフォトダイオードとこのフォトダイオードの出力をゲートに入力する増幅トランジスタ

を有する単位セルを行列２次元状に配列してなる撮像領域と、この撮像領域の読み出し行を選択する垂直選択手段と、選択された行に相当するセルの検出信号を読み出す列方向に配置されて前記増幅トランジスタのソースに接続された複数の垂直信号線と、これらの垂直信号線から行方向に配置された水平信号線に検出信号を順次読み出す水平選択トランジスタとを備えた固体撮像装置において、前記増幅トランジスタのドレインが行毎に独立に設置された電荷注入線に行方向に共通に接続され、選択された行の信号の読み出しは、電荷注入線電位が増幅トランジスタのゲートのチャネル電位より低い電位に設定された後に、垂直信号線電位より高い電位に設定されることにより行われることを特徴とする。

（作用）本発明（請求項１，２）によれば、電荷の注入・排出動作によりフォトダイオードをリセットすることにより、リセットトランジスタが弱反転状態でリセットされるため、雑音は $1/2 KTC$ に減少する。

【００２０】より具体的には、リセットトランジスタのドレインの配線（リセットドレイン配線：ＲＤ線）を、選択トランジスタを介して増幅トランジスタのドレインにつながる配線とは独立に形成し、且つ各行で独立に配置することにより、ＲＤ線を“Ｌ”にして電荷の注入を行い、ＲＤ線を“Ｈ”にして電荷の排出を行うという注入・排出動作によつて、フォトダイオードのリセットを行うことができる。つまり、リセットトランジスタを強反転状態ではなくが弱反転状態でリセットするために、雑音を $1/2 KTC$ に減少させることができる。

【００２１】また、本発明（請求項３）によれば、増幅トランジスタの信号を垂直信号線に読み出す際に、負荷トランジスタを通して電流を流さず、各行毎に独立して設置された電荷注入線から垂直信号線に電荷を注入する。そのため、負荷トランジスタに電流を流す必要がなくなり、素子の消費電力を小さくすることができる。さらに、負荷トランジスタを設ける必要がないため、素子面積を小さくでき、素子製造工程を簡略化することができる。また、負荷トランジスタの特性ばらつきが原因で発生する再生画面上の縦筋状の出力不均一を防止することができる。

【００２２】

【発明の実施の形態】以下、本発明の実施形態を図面を参照して説明する。

（第１の実施形態）図１は、本発明の第１の実施形態に係わる固体撮像装置を示す回路構成図である。

【００２３】単位セルの構成は、前記図１０に示した従来装置と基本的に同様である。即ち単位セルは、フォトダイオード１の検出信号を増幅する増幅トランジスタ２、信号を読み出すラインを選択する垂直選択トランジスタ３、信号電荷をリセットするリセットトランジスタ４から構成され、行列２次元状に配列されている。な

ち、図では $2 \times 3$ 個のセルが配列されているが、実際に

はこれより多くの単位セルが配列されている。

【００２４】垂直シフトレジスタ５から水平方向に配線されている水平アドレス線６は垂直選択トランジスタ３のゲートに接続され、信号を読み出すラインを決めている。同様に、垂直シフトレジスタ５から水平方向に配線されているリセット線７は、リセットトランジスタ４のゲートに接続されている。増幅トランジスタ２のソースは列方向に配置された垂直信号線８に接続され、その一端には負荷トランジスタ９が設けられている。

【００２５】ここまでの基本構成は従来装置と同様であるが、本発明は次の点で従来装置と構成を異にする。即ち、リセットトランジスタ４のドレインの配線（ＲＤ線）１５（１５－１，１５－２，１５－３）は、選択トランジスタ３を介して増幅トランジスタ２のドレインにつながる電源線Ｖｄｄとは接続されておらず、電源線とは独立に設けられている。さらに、ＲＤ線１５は各行で独立になっている。

【００２６】また、垂直信号線８の他端は、分離トランジスタ１２（１２－１，１２－２，１２－３）に接続され、分離トランジスタ１２と水平選択トランジスタ１９との間に増幅容量１３（１３－１，１３－２，１３－３）が接続されている。なお、分離トランジスタ１２及び増幅容量１３を省略し、前記図１０に示すように垂直信号線８を水平選択トランジスタ１９に直接接続するようにしてもよい。

【００２７】本実施形態では、リセットトランジスタ４のドレインの配線（ＲＤ線）１５を電源線Ｖｄｄとは独立に設け、さらにＲＤ線１５を各行で独立に配置している。このため、ＲＤ線１５を“Ｌ”にして電荷を注入した後に“Ｈ”にして電荷を排出するという注入・排出動作によって、各行のフォトダイオード１のリセットを各行独立に行うことができる。この場合、リセットトランジスタ４が弱反転状態でリセットするために、フォトダイオード１で発生するノイズが $1/2 KTC$ に低減されることになる。

【００２８】図２は、本実施形態における動作を示すタイミングチャートである。水平ブランキング期間に、信号読出しを行った後、ＲＤ線１５の電位を“Ｌ”にし、リセットゲートを“Ｈ”にして電荷の注入を行う。その後、ＲＤ線１５の電位を“Ｈ”にし、リセットゲートを再び“Ｈ”にして電荷の排出を行う。

【００２９】これによりリセットトランジスタ４を、例えばドレインが５Ｖでゲートが３Ｖという弱反転状態で駆動して注入動作を行うことができ、従ってフォトダイオード１で発生するノイズを $1/2 KTC$ に低減することができる。

【００３０】また、本実施形態では、垂直信号線８と水平選択トランジスタ１９との間に分離トランジスタ１２及び増幅容量１３を設けることにより、信号蓄積時間を１周期の時間に近づけるだけでなく、１ラインの中での

蓄積時間の差を無くすことができ、これにより信号蓄積時間の差による水平方向の感度の違いを無くすることも可能となる。

【0031】図1の実施形態では各行独立にRD線15を設けていた。しかし、RD線が全ての行に共通であっても図2の動作タイミングを用いて図1の実施形態と同様の効果が得られる。但し、この場合は1つの行のフォトダイオード1をリセットする時に全ての行のRD線を駆動することになる。従って、各行のフォトダイオード1をリセットする毎に全行のRD線の容量をドライブすることになり、消費電力が格段に大きくなる。そのため、図1の実施形態のRD線を各行で独立にすると消費電力に関して有利である。或いは隣り合う2行のRD線を共通として、2行毎にRD線を独立にしても、全行共通に比べて消費電力に関して大変有利である。

（第2の実施形態）図3は、本発明の第2の実施形態に係わる固体撮像装置を示す回路構成図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0032】本実施形態が先に説明した第1の実施形態と異なるところは、増幅トランジスタ2のドレインにつながる配線が各行独立になっている。そして、隣の行のRD配線15がこの増幅トランジスタ2のドレインの配線と共通になっている。

【0033】このような構成であっても、各行のRD線15は独立なので、第1の実施形態と同様に電荷の注入・排出によるリセットが可能である。

（第3の実施形態）図4は、本発明の第3の実施形態に係わる固体撮像装置を示す回路構成図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

【0034】本実施形態は第1及び第2の実施形態と異なり、フォトダイオード1が読み出しトランジスタ16（16-1、16-2、16-3）を介して増幅トランジスタ2につながることを特徴とする。なお、図中の17（17-1、17-2、17-3）は同一行の読み出しトランジスタ16のゲートに接続された読み出し線である。

【0035】このような構造にすると、増幅トランジスタ2のゲートにつながっている容量である検出容量を小さくできる。セル部の信号の増幅率は配線の容量と検出部の比で決まるので、増幅率を大きくとるために検出部の容量は小さいことが望ましい。光利用率を大きくとるためにはフォトダイオード面積が大きい方がよいが、増幅トランジスタ2のゲートにフォトダイオード1が直接つながる場合は、フォトダイオード面積を大きくすると検出容量も大きくなる。図3の構造は、フォトダイオード1が検出部と独立になっているため、フォトダイオード面積を大きくして光利用率を大きくしながら、検出部の検出容量を小さくできるメリットがある。

【0036】この実施形態でもRD線15が各行で独立になっており、フォトダイオード1のリセットを電荷の注入排出により行うことでフォトダイオード1での雑音を小さくできる。

【0037】図5は図4の構成の実施形態においてフォトダイオードが埋め込みフォトダイオードの構造になっている場合の検出部とフォトダイオードの断面図を含む単位セルの構成図である。電荷読み出し時の電位分布も合わせて示している。なお、埋込みフォトダイオードはSi表面層がp層になっており、Si表面で発生する暗電流を防ぐものである。

【0038】埋め込みフォトダイオードの場合は、読み出しトランジスタのゲートに十分大きな電圧を加えるなどして信号電荷を完全転送でき、フォトダイオードを完全空乏化することができる。この場合、完全転送ためKTCノイズは発生しない。しかし、低いゲート電圧では図5に示したように電位ポケットができるなどして完全転送は難しくなる。そのため、読み出しトランジスタを強反転状態で動作してフォトダイオード1をリセットすると、 $2/3$ KTCノイズが発生する。固体撮像素子の電源電圧を低くすると低消費電力化はできるが、そのために低いゲート電圧でフォトダイオードより信号電荷を転送する必要がある。

【0039】不完全転送の場合は、本実施形態のように電荷の注入・排出によるリセットを行うことにより、雑音を低下させることができる。また、不完全転送で単純に電荷読み出すことでフォトダイオードをリセットするという方法では、転送残りが起こり残像が発生する。これに対し本実施形態のように、電荷を注入・排出してリセットすることによりこの残像も無くすることができる。

【0040】図12は、図4の実施形態において水平信号読み出し部にノイズキャンセラを配置した回路構成図である。図4に示した構成要素以外に、分離キャパシタ21、クランプトランジスタ22が付加されている。図12の実施形態でも図4と同様にフォトダイオード1で発生するKTCノイズを低減し、かつ残像を抑制することができる。

【0041】図6は、本実施形態における動作を示すタイミングチャートである。図6（a）では、水平blanking期間に、アドレス線6の電位を“H”にし、RD線15を“L”にし、リセットゲートを“H”にして電荷の注入を行う。次いで、RD線15を“H”にし、リセットゲートを再び“H”にして電荷の排出を行う。その後、読み出しゲートをONして信号を読み出す。

【0042】この動作では、増幅トランジスタ2のゲートにつながる信号検出部20のリセットが電荷の注入・排出で行われている。従って、この動作では信号検出部20で発生するKTCノイズは $1/2$ KTCに低減されている。この場合、フォトダイオード1に蓄積された信号電荷は読み出しトランジスタ16をONするだけで空

全転送するのが望ましい。

【0043】図6(b)では、水平ブランキング期間に、アドレス線6の電位を“H”にし、RD線15を“L”にし、リセットゲートを“H”にして電荷の注入を行う。次いで、RD線15を“H”にし、リセットゲートを再び“H”にして増幅トランジスタ2のゲート部の電荷の排出を行う。その後、読み出しトランジスタをONして信号を読み出す。

【0044】次いで、RD線15を“L”にし、リセットゲートを“H”に、読み出しゲートを“H”にしてフォトダイオード部の電荷の注入を行う。次いで、RD線15を“H”にし、リセットゲートを再び“H”に、読み出しゲートを再び“H”にして電荷の排出を行う。

【0045】この動作では、検出部20とフォトダイオード1の両方が電荷の注入・排出動作によってリセットされており、KTC雑音が1/2KTCに低減される。また同時に、フォトダイオードからの信号電荷の不完全転送で生じる残像を抑制することができる。

【0046】図6(c)では、水平ブランキング期間に、アドレス線6の電位を“H”にし、RD線15を“H”にし、リセットゲートを“H”にして電荷の排出を行う。その後、読み出しゲートをONして信号を読み出す。次いで、RD線15を“L”にし、リセットゲートを再び“H”に、読み出しゲートをONして電荷の注入を行う。次いで、RD線15を“H”にし、リセットゲートを再び“H”に、読み出しゲートをONして電荷の排出を行う。

【0047】この動作においても、フォトダイオード1に電荷の注入・排出が行われてリセットされており、KTC雑音が1/2KTCに低減されると共に、残像も抑制される。

【0048】ここで、信号読み出しは、1回行ってもよいし、ノイズキャンセラを用いて2回読み出すようにしてもよい。ノイズキャンセラを用いて2回読出す場合について、図12も参照して更に詳しく述べる。1回目の信号読み出しでは信号検出部20はリセットされており、信号検出部20のリセットされた電位に対応して電位に垂直信号線8はなっている。この状態でクランプトランジスタ22がONされ、信号蓄積部23の電位はクランプトランジスタのソース電位になっている。この後に、フォトダイオード1の信号電荷が信号検出部20に読み出され、信号検出部20の電位はその分変化する。この時の信号検出部20の電位変化は垂直信号線8を通じて、信号蓄積部23に電位変化を生じる。この後、分離トランジスタ12がオフされる。従って、この信号読み出しによる信号検出部20の電位変化が信号蓄積部23に蓄積される。

【0049】このように、ノイズキャンセラを用いて信号検出部20の信号電荷がないリセット時とその後の信号電荷読み出し後の電位変化を検出する場合、信号

検出部20でのKTCノイズは完全に抑圧することができるので、信号電荷検出部のリセット手段はリセットトランジスタ4をKTCノイズが2/3KTCとなる強反転状態で動作しても構わない。勿論、フォトダイオードに電荷を注入・排出することによって図4の実施形態と同じ効果が得られる。

(第4の実施形態)図7は、本発明の第4の実施形態に係わる固体撮像装置を示す回路構成図である。図において図10と同一部分には同一符号を付して、その詳しい説明は省略する。

【0050】本実施形態が図10に示した従来装置と異なる点は、負荷トランジスタを省略すると共に、増幅トランジスタ2のドレインが、各行毎に設置された電荷注入線201, 202, 203に各行共通に接続されていることである。

【0051】図8に、図7の素子の動作を説明するための、増幅トランジスタ、垂直選択トランジスタ、及び電荷注入線の電位図を示した。まず、信号を読み出す行の垂直選択トランジスタをON状態にした後(a)、選択された行に相当する電荷注入線を“L”レベルにし、増幅トランジスタのゲートを通して垂直信号線に電荷を注入する(b)。続いて、電荷注入線電位を再び“H”レベルに戻す(c)。垂直信号線電位は増幅トランジスタのチャネル電位にほぼ等しくなるから、増幅トランジスタのゲート電位に乗っている信号電荷が垂直信号線に呼び出される。

【0052】図9に素子の動作タイミングを示した。基本的には前記図11に示す動作と同じであるが、本実施形態では、アドレスパルス101, 102, 103に続いて、電荷注入線201, 202, 203にパルスを加えることが特徴である。

【0053】このように本実施形態によれば、増幅トランジスタ2の信号を垂直信号線8に読み出す際に、負荷トランジスタを使う必要がない。また、そのために負荷トランジスタで消費される電力を無くすることができ、低消費電力化をはかることができる。なお、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0054】

【発明の効果】以上詳述したように本発明(請求項1, 2)によれば、電荷の注入・排出動作によりフォトダイオードをリセットすることにより、フォトダイオード部で発生するノイズを低減させることができ、S/Nの高い固体撮像装置を実現することが可能となる。

【0055】また、本発明(請求項3)によれば、増幅トランジスタの信号を垂直信号線に読み出す際に、負荷トランジスタを使う必要がない。そのため、素子面積を小さくすることができる。また、素子製造工程を短縮する効果が得られる。また、負荷トランジスタが無いため

負荷トランジスタで消費される電力を小さくすることができる。

【図面の簡単な説明】

【図１】第１の実施形態に係わる固体撮像装置を示す回路構成図。

【図２】第１の実施形態における動作を示すタイミングチャート。

【図３】第２の実施形態に係わる固体撮像装置を示す回路構成図。

【図４】第３の実施形態に係わる固体撮像装置を示す回路構成図。

【図５】第３の実施形態における単位セルの構成を示す図。

【図６】第３の実施形態における動作を示すタイミングチャート。

【図７】第４の実施形態に係わる固体撮像装置を示す回路構成図。

【図８】第４の実施形態の動作を説明するための単位セルの電位図。

【図９】第４の実施形態の動作を示すタイミングチャート。

【図１０】従来のＭＯＳ型固体撮像素子の回路図の一例。

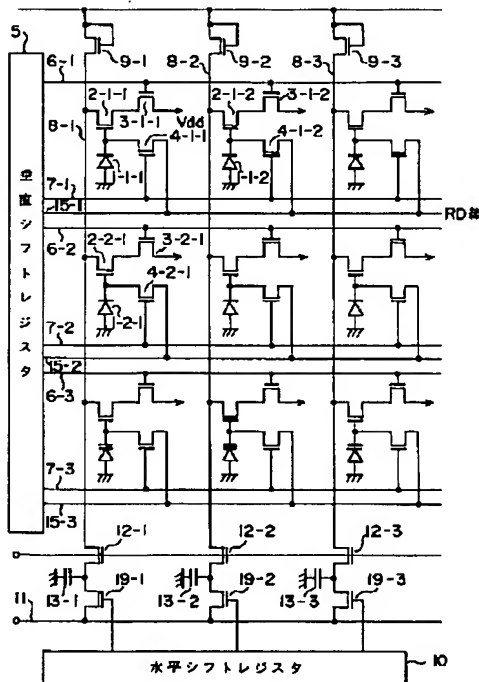
【図１１】図４のセンサの動作タイミングチャート。

【図１２】図４の実施形態において水平信号読出し部にノイズキャンセラを配置した回路構成図。

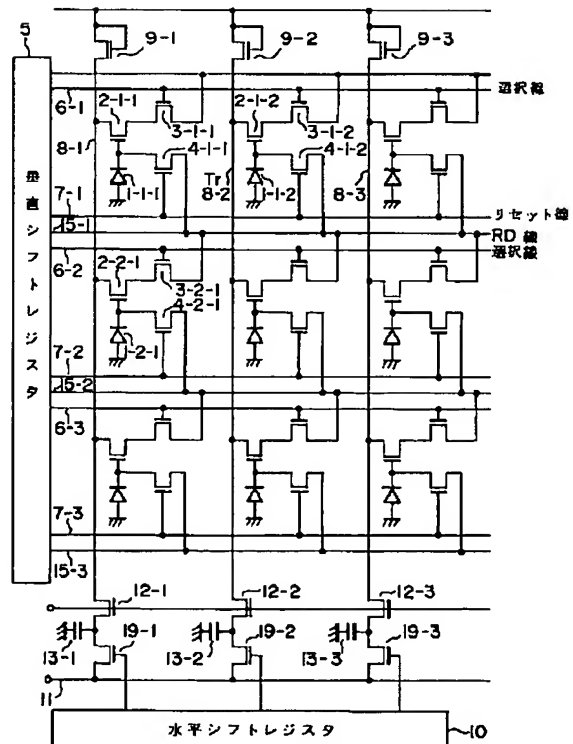
【符号の説明】

- １…フォトダイオード
- ２…増幅トランジスタ
- ３…垂直選択トランジスタ
- ４…リセットトランジスタ
- ５…垂直シフトレジスタ
- ６…水平アドレス線
- ７…リセット線
- ８…垂直信号線
- ９…負荷トランジスタ
- １０…水平シフトレジスタ
- １１…水平信号線
- １２…分離トランジスタ
- １３…増幅容量
- １５…リセットドレイン配線（ＲＤ線）
- １６…読み出しトランジスタ
- １９…水平選択トランジスタ
- ２０…信号検出部
- ２１…分離キャパシタ
- ２２…クランプトランジスタ
- ２３…信号蓄積部

【図１】

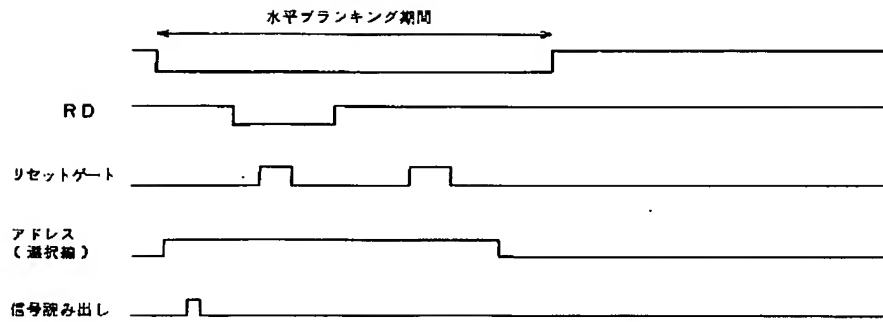


【図３】

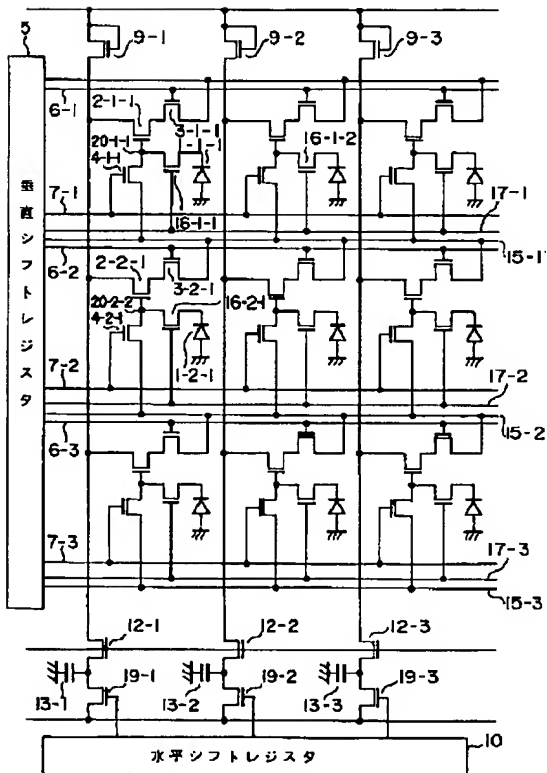




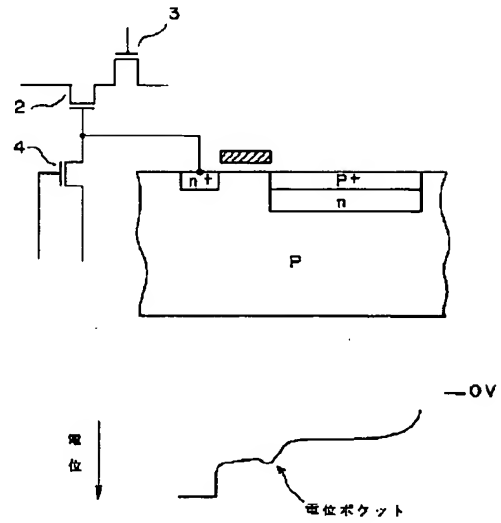
【図2】



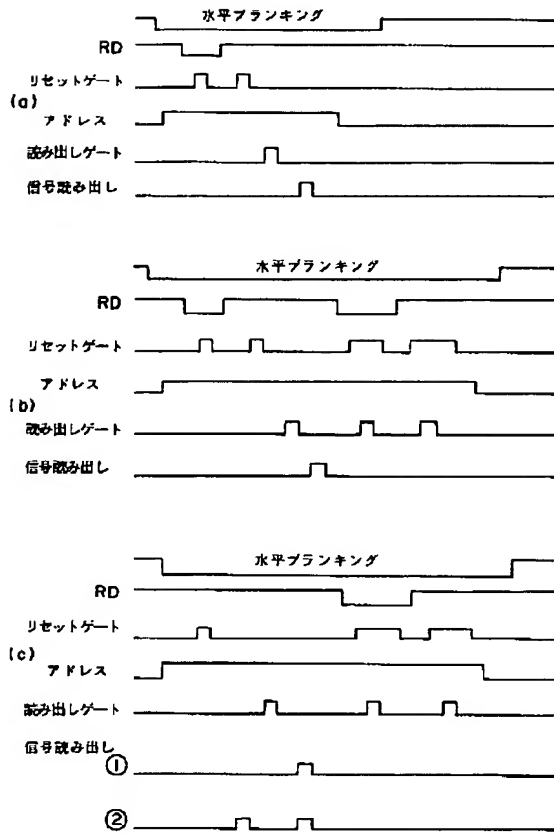
【図4】



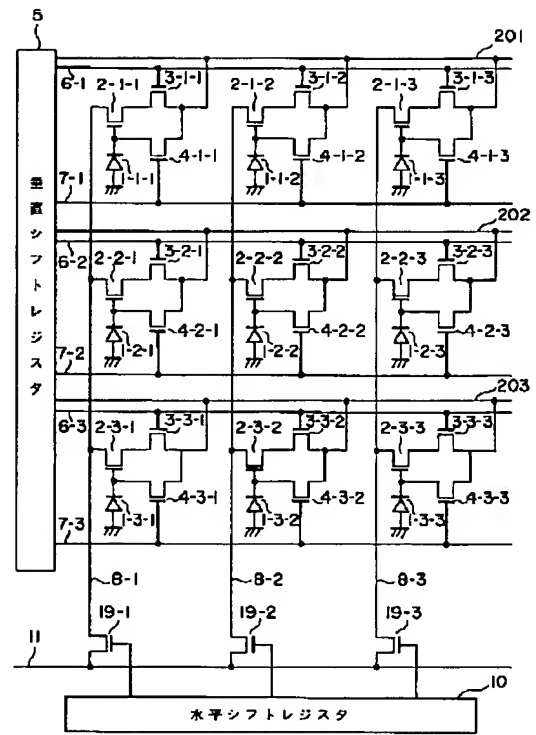
【図5】



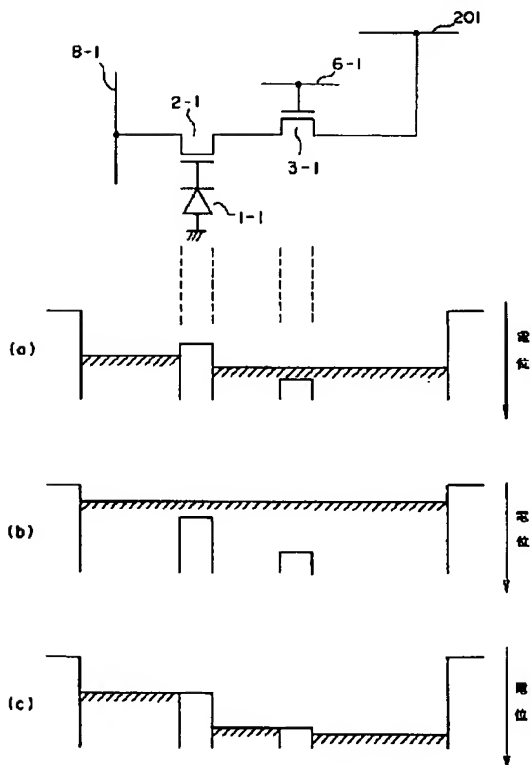
【図6】



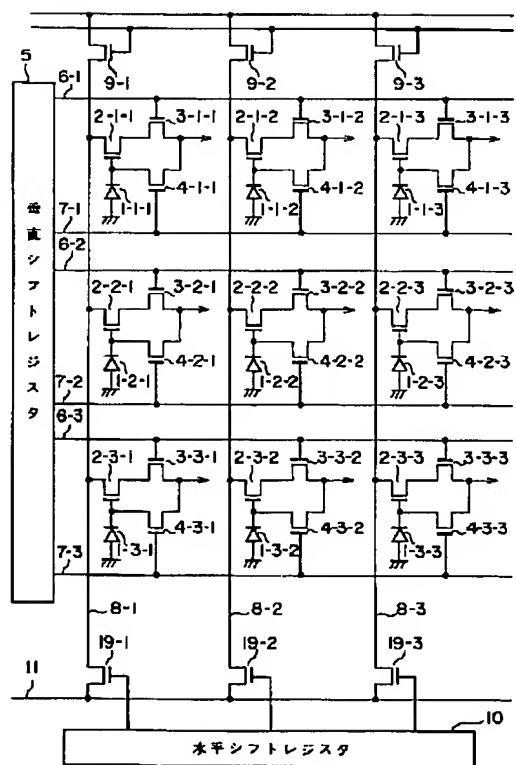
【図7】



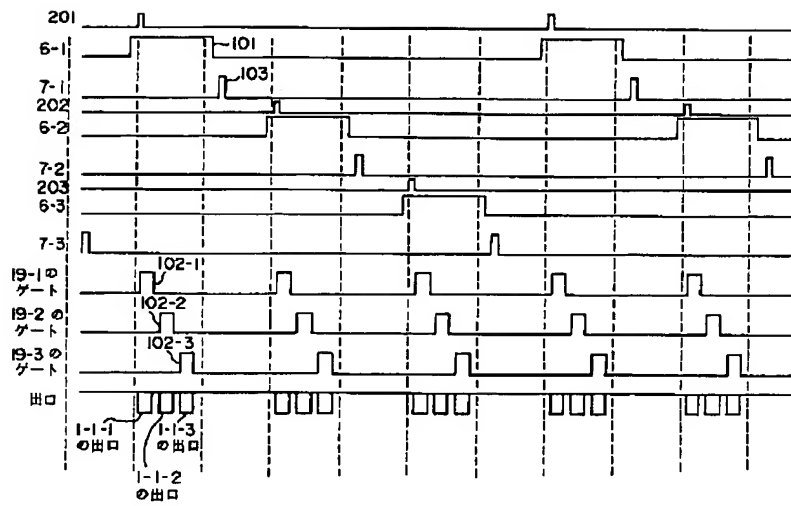
【図8】



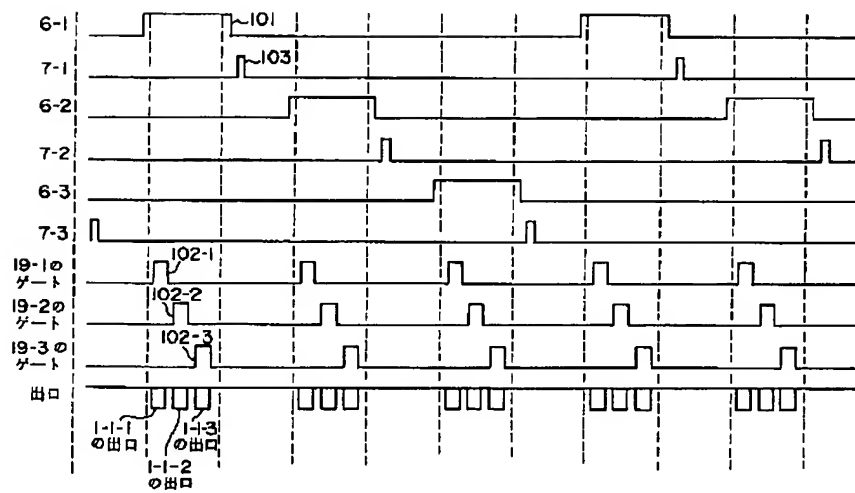
【図10】



【図 9】



【図 11】



【図 12】

